

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/002222

International filing date: 15 February 2005 (15.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-039177
Filing date: 17 February 2004 (17.02.2004)

Date of receipt at the International Bureau: 07 April 2005 (07.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

17.02.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 1 7 日
Date of Application:

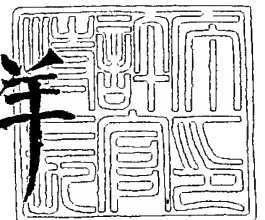
出 願 番 号 特 願 2 0 0 4 - 0 3 9 1 7 7
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 3 9 1 7 7]

出 願 人 株 式 会 社 日 鉱 マ テ リ ア ル ズ
Applicant(s):

2 0 0 5 年 3 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



【書類名】 特許願
【整理番号】 AY160216A2
【あて先】 特許庁長官 殿
【国際特許分類】 C30B 25/10
【発明者】
 【住所又は居所】 埼玉県戸田市新曽南 3 丁目 1 7 番 3 5 号 株式会社日鉱マテリア
 ルズ 戸田工場内
 【氏名】 中村 正志
【発明者】
 【住所又は居所】 埼玉県戸田市新曽南 3 丁目 1 7 番 3 5 号 株式会社日鉱マテリア
 ルズ 戸田工場内
 【氏名】 太田 優
【発明者】
 【住所又は居所】 茨城県北茨城市華川町白場 1 8 7 - 4 株式会社日鉱マテリアル
 ズ 磯原工場内
 【氏名】 平野 立一
【特許出願人】
 【識別番号】 591007860
 【氏名又は名称】 株式会社日鉱マテリアルズ
【代理人】
 【識別番号】 100090033
 【弁理士】
 【氏名又は名称】 荒船 博司
 【電話番号】 03-3269-2611
【手数料の表示】
 【予納台帳番号】 027188
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板上にエピタキシャル層を成長させる気相成長方法において、
予め半導体基板の室温における抵抗率を測定し、該半導体基板の抵抗率に関わらず基板の表面温度が所望の温度となるように、前記室温における抵抗率に応じて基板の設定温度を制御し、エピタキシャル層を成長させることを特徴とする気相成長方法。

【請求項 2】

前記半導体基板は化合物半導体であることを特徴とする請求項 1 に記載の気相成長方法。

【請求項 3】

前記半導体基板は I n P 基板であることを特徴とする請求項 2 に記載の気相成長方法。

【請求項 4】

前記半導体基板は F e ドープ I n P 基板であることを特徴とする請求項 3 に記載の気相成長方法。

【請求項 5】

分子線エピタキシー法を利用してエピタキシャル層を成長させることを特徴とする請求項 1 から請求項 4 のいずれかに記載の気相成長方法。

【書類名】 明細書

【発明の名称】 気相成長方法

【技術分野】

【0001】

本発明は、半導体基板上にエピタキシャル層を成長させる気相成長方法に関し、特に、エピタキシャル層の特性及び表面モホロジーを改善する技術に関する。

【背景技術】

【0002】

従来、半導体素子の用途には、InP基板上にInGaAs層、AlGaAs層、InAlAs層、AlInGaAs層、InGaAsP層等の化合物半導体からなるエピタキシャル層を有機金属気相成長法(MOCVD)や分子線エピタキシー法(MBE)等により成長させた半導体素子が広く用いられている。

【0003】

しかし、従来技術により、InP基板上にInAlAs等の化合物半導体からなるエピタキシャル層を成長させた場合、エピタキシャル層表面に異常モホロジーが発生することがあった。この異常モホロジーは半導体素子の素子特性を低下させる要因の一つとなるので、エピタキシャル層表面のモホロジーの改善は重要な課題となっている。

【0004】

例えば、本発明者等は、InP基板上にInGaAs層またはInGaAsP層と、InP層を順次エピタキシャル成長させる過程において、InP層表面にクロスハッチと呼ばれる異常モホロジーが生じるのを効果的に防止できる気相成長方法を提案している(特許文献1)。具体的には、裏面側の反りが $20\mu\text{m}$ 以下である半導体ウェハを基板として用いることにより、半導体基板の裏面と基板支持具との間の空隙を小さくし、基板裏面側に原料ガスが回り込むのを抑制して、エピタキシャル層表面の異常モホロジーの発生を防止するようにしている。

【特許文献1】 特開2003-218033号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記先願技術により、InP基板上にInGaAs層、AlGaAs層、InAlAs層、AlInGaAs層等の化合物半導体からなるエピタキシャル層を成長させた場合でも、使用する基板によって、基板上に成長させるエピタキシャル層の特性や表面モホロジーに異常が生じることが明らかとなった。

【0006】

本発明は、上記問題点を解決するためになされたもので、FeドープInP等の半導体基板上にInAlAs等の化合物半導体からなるエピタキシャル層を再現性よく成長させることのできる気相成長方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

以下に本発明を完成するに至った経緯について簡単に説明する。

まず、本発明者等は分子線エピタキシー(以下、MBEと略する)法によって様々な種類のFeドープInP基板上にInAlAs層を成長させた。具体的には、液体封止チョクラスキー法により作製したFeドープInP単結晶から複数のInPウェハを切り出し、基板として用いた。ここで、得られたInP単結晶の肩部直下の位置(胴体部開始位置)からの距離(mm)をそのInPウェハの切り出し位置とした。その結果、使用する基板によって、成長されるエピタキシャル層の表面モホロジーに異常が生じることが明らかとなった。つまり、同じInP単結晶から切り出された基板を使用しても、その切り出し位置によって成長されるエピタキシャル層に変化が生じることが分かった。

【0008】

次に、この原因を探るため、切り出し位置の異なるFeドープInP基板を同一のMB

E装置に導入した後、同一の設定温度で基板を加熱し、該基板の表面温度をパイロメーターによって直接測定した。その結果を図1に示す。図1には、使用した基板のF e ドープ I n P 単結晶からの切り出し位置と基板の表面温度との関係を示している。なお、図1中、□印は設定温度を550℃とした場合、○印は設定温度を600℃とした場合の測定結果である。

【0009】

図1より、設定温度を同一としたにもかかわらず、基板の切り出し位置によって表面温度が非常に大きく変化することが分かった。特に、I n P 単結晶の上部（切り出し位置0～10mm）から切り出された基板を用いた場合と、下部（切り出し位置100～120mm）から切り出された基板を用いた場合とでは、基板の表面温度に20℃以上の差が生じていた。また、切り出し位置が100～120mmの基板を用いた場合には、基板の表面温度は設定温度よりも20～30℃程度高くなっていた。

【0010】

なお、上述した実験では、基板の表面温度は設定温度よりも高くなったが、使用するM B E装置によっては、基板の表面温度の方が設定温度よりも低くなることもある。ただし、この場合も基板の切り出し位置によって表面温度が変化するという現象は同じである。

【0011】

次に、同一のF e ドープ I n P 単結晶から切り出した基板について、抵抗率及びF e 濃度を測定し、切り出し位置との関係を調査した。図2に抵抗率と切り出し位置との関係を示す、図3にF e 濃度と切り出し位置との関係を示す。図2、3より、抵抗率及びF e 濃度ともF e ドープ I n P 単結晶からの切り出し位置によって変化していることがわかる。すなわち、図2より、抵抗率は切り出し位置が大きくなるに伴い緩やかに増大し、切り出し位置が100mm以上ではほぼ一定となる。また、図3より、F e 濃度は切り出し位置が大きくなるに伴い緩やかに増大し、切り出し位置が100mm以上で著しく増大する。

【0012】

これらの測定結果と図1を比較すると、切り出し位置に対する変化の仕方が図1と図2ではほぼ同様であるため、基板の表面温度はF e 濃度ではなく基板の抵抗率と相関関係があるといえる。これは、M B E法のように真空中において基板を加熱する場合には、輻射による影響が支配的になるため基板の抵抗率が基板の表面温度に影響すると考えられた。

【0013】

そこで、基板の抵抗率と表面温度の関係から、実際の基板の表面温度を所望の温度とするためには、事前に測定した基板の抵抗率に応じて設定温度を調整すればよく、これにより成長されるエピタキシャル層の品質を安定させることができるとの知見を得て、本発明を完成するに至った。

【0014】

すなわち、本発明は、半導体基板上にエピタキシャル層を成長させる気相成長方法において、予め半導体基板の室温における抵抗率を測定し、該半導体基板の抵抗率に関わらず実際の基板の表面温度が所望の温度となるように、前記室温における抵抗率に応じて基板の設定温度を制御し、エピタキシャル層を成長させることを特徴とする。また、基板の表面温度は、基板厚みや加熱方法によって変化するので、それぞれについて、半導体基板の抵抗率に対する設定温度と実際の基板表面温度との関係を把握しておけば、基板の表面温度を所望の温度とするための温度設定が容易となる。

【0015】

また、前記半導体基板はI n PやF e ドープ I n P等の化合物半導体を用いることができる。I n P基板やF e ドープ I n P基板を用いた場合、成長されるエピタキシャル層としては、I n Pと比較的良好に格子整合しうるI n G a A s、A l G a A s、I n A l A s、A l I n G a A s、I n G a A s P等が考えられる。

また、上述した気相成長においては分子線エピタキシー法を利用することができる。

【発明の効果】

【0016】

本発明によれば、FeドープInP等の半導体基板上にInAlAs層等の化合物半導体からなるエピタキシャル層を気相成長させる過程において、基板の抵抗率に起因して基板温度が変化することを考慮し、基板温度を適切に設定することで基板温度を所望の温度で一定とするようにしたので、品質の安定したエピタキシャル層を再現性よく成長させることができ、特性に優れた半導体素子を安定して製造することができるという効果を奏する。

【発明を実施するための最良の形態】

【0017】

以下、本発明の好適な実施の形態を図面に基づいて説明する。

はじめに、液体封止チョクラルスキー (Liquid Encapsulated Czochralski; LEC) 法により、FeドープInP単結晶を(100)方向に成長させ、このFeドープInP単結晶を直径2インチの円柱状に加工し、厚さ350 μ mのFeドープInPウェハを切り出した。

【0018】

そして、これらの基板にMBE法によりアンドープInAlAs層を成長させた。図4は本実施形態に係る成長までの温度プロファイルである。図4に示すように、まず、InAlAs層を成長させる前に550℃で基板にサーマルクリーニング処理を施し、その後、設定温度を500℃として基板上にアンドープInAlAs層を1 μ mエピタキシャル成長させた。このとき、サーマルクリーニングの処理時間は5分とし、アンドープInAlAs層の成長時間は60分とした。

【0019】

本実施形態では、切り出し位置の異なる各種FeドープInP基板に対し、予め室温における基板の抵抗率を測定し、該基板の抵抗率に基づいて実際の基板温度が所望の温度で一定となるように設定温度を調整して、サーマルクリーニング処理及びアンドープInAlAs層の成長を行った。具体的には、室温における基板の抵抗率が $1 \times 10^8 \Omega \cdot \text{cm}$ 程度であるFeドープInP基板を用いる場合には、サーマルクリーニング処理時の基板の設定温度を530℃とし、アンドープInAlAs層成長時の基板の設定温度を480℃とすることで、基板温度を所望の温度に制御した。

【0020】

なお、この温度設定は本実施形態において有効であって、使用するMBE装置、基板厚み等によっては異なる設定温度となることはいうまでもない。つまり、基板の表面温度は、基板厚み、加熱方法によって変化するので、室温における半導体基板の抵抗率に対する設定温度と実際の基板表面温度との関係を把握しておけば、基板の表面温度を所望の温度とするための温度設定は容易に決定することができる。例えば、本実施形態では、基板温度を所望の温度(550℃又は500℃)とするために設定温度をそれぞれ20℃低く設定しているが、逆に使用するMBE装置によっては所望の温度よりも高く設定することもあり得る。

【0021】

一方、比較のため、上記と同様の抵抗率を有する複数のFeドープInP基板を用いて、基板の設定温度を一定(サーマルクリーニング処理時: 550℃, アンドープInAlAs成長時: 500℃)とした条件で、サーマルクリーニング処理及びアンドープInAlAs層の成長を行った。

【0022】

上述した方法により得られた半導体素子について、アンドープInAlAs層の表面モロロジーを観察した結果、室温における抵抗率に応じて設定温度を調整し、サーマルクリーニング処理時の実際の基板表面温度を550℃に保った場合は、アンドープInAlAs層表面に荒れが生じず、良好なエピタキシャル層を成長させることができた。

【0023】

これに対して、設定温度を550℃で一定とした場合は、アンドープInAlAs層表面に荒れを生じた。これは、サーマルクリーニング処理時に基板の表面温度が設定温度(

550℃) よりも高くなりすぎたために、基板表面が荒れたことによるものと考えられる。特に、室温における抵抗率が $1 \times 10^8 \Omega \cdot \text{cm}$ 以上である基板を用いた場合には、設定温度と実際の基板の表面温度との差が大きくなるため(図1, 2参照)、上述した現象が顕著に現れていた。

【0024】

また、得られた半導体素子についてアンドープInAlAs層の抵抗率を測定した結果、室温における抵抗率が $1 \times 10^8 \Omega \cdot \text{cm}$ である基板を用いて、その抵抗率に応じて設定温度を調整し、アンドープInAlAs層成長時の実際の基板表面温度を500℃に保った場合は、アンドープInAlAs層の抵抗率はすべて $1 \times 10^6 \Omega \cdot \text{cm}$ 以上となり、高抵抗率を実現できた。

【0025】

これに対して、設定温度を一定とした場合は上記実施形態では $1 \times 10^6 \Omega \cdot \text{cm}$ 以上となったアンドープInAlAs層の抵抗率が $5 \times 10^4 \Omega \cdot \text{cm}$ まで低下した。これは、アンドープInAlAs層の抵抗率の温度依存性によるものと考えられる。

【0026】

例えば、本発明者等の実験によりInAlAs層の抵抗率は図5のような温度依存性を示すことが明らかになっている。図5から、InAlAs層は成長時の基板温度が520℃以上になると著しく抵抗率が低下することがわかる。つまり、比較例では、アンドープInAlAs層成長時の基板の設定温度を500℃としたにもかかわらず、実際の基板温度は520℃以上に上昇していたと考えられる。なお、図5に示すグラフは本実施形態の成長条件とは異なる成長条件により成長されたInAlAs層に関するものであるため、InAlAs層の抵抗率の絶対値については本実施形態と必ずしも一致していない。

【0027】

次に、上述した基板と同様のFeドープInP基板を用いて、これらの基板にMBE法によりSiドープInAlAs層を成長させた。このとき、Siドープ量はドーピング濃度が $2 \times 10^{19} \text{cm}^{-3}$ となる量とし、成長条件は上述したアンドープInAlAsの場合と同様とした。また、比較のため、上記と同様の抵抗率を有する複数のFeドープInP基板を用いて、基板の設定温度を一定とした条件で、サーマルクリーニング処理及びSiドープInAlAs層の成長を行った。

【0028】

得られた半導体素子について、SiドープInAlAs層のSiドーピング濃度(キャリア濃度)を測定した結果、室温における抵抗率が $1 \times 10^8 \Omega \cdot \text{cm}$ 以上である基板を用いて、その抵抗率に応じて設定温度を調整し、InAlAs層成長時の実際の基板表面温度を500℃に保った場合は、SiドープInAlAs層のSiドープ濃度はすべて $2 \times 10^{19} \text{cm}^{-3}$ を達成できた。

【0029】

これに対して、設定温度を一定とした場合はSiドーピング濃度が $1 \times 10^{19} \text{cm}^{-3}$ まで低下した。これは、SiドープInAlAs層のSiドーピング効率の温度依存性によるものと考えられる。

【0030】

例えば、本発明者等の実験によりInAlAs層のSiドーピング効率は図6のような温度依存性を示すことが明らかになっている。図6から、InAlAs層のSiドーピング濃度は成長時の基板温度が500℃以上になると低下することがわかる。つまり、比較例では、SiドープInAlAs層成長時の基板の設定温度を500℃としたにもかかわらず、実際の基板温度は500℃以上に上昇していたと考えられる。

【0031】

このように、FeドープInP基板上にアンドープInAlAsやSiドープInAlAsからなるエピタキシャル層を気相成長させる過程において、予め室温における半導体基板の抵抗率を測定し、該半導体基板の抵抗率に応じて基板の設定温度を制御することで、成長されるエピタキシャル層の表面モロロジー、抵抗率及びドーピング濃度を改善し、

品質の安定したエピタキシャル層を再現性良く成長させることができた。

【0032】

以上、本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で変更可能である。

例えば、本実施形態ではMBE法によってFeドープInP基板の上にInAlAs層を成長させた例に関して説明したが、抵抗率に応じて変化する表面温度を一定になるように成長させる成長方法は、成長させるエピタキシャル層の種類によらず同様の効果が期待できる。また、使用する基板、成長方法によらず適用できることは上述した説明から明らかである。

【図面の簡単な説明】

【0033】

【図1】 InP単結晶からの切り出し位置と基板の表面温度との関係を示すグラフである。

【図2】 InP単結晶からの切り出し位置と基板の抵抗率との関係を示すグラフである。

【図3】 InP単結晶からの切り出し位置と基板のFe濃度との関係を示すグラフである。

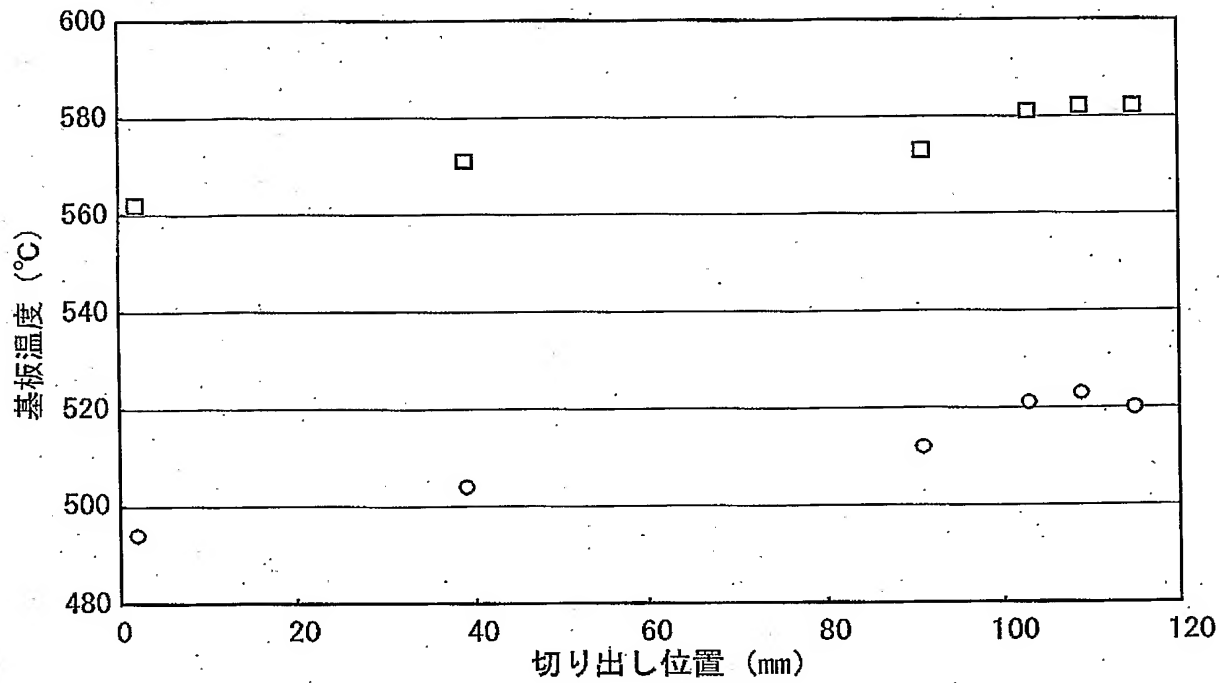
【図4】 実施の形態における気相成長に係る温度プロファイルである。

【図5】 InAlAs層の抵抗率の温度依存性を示すグラフである。

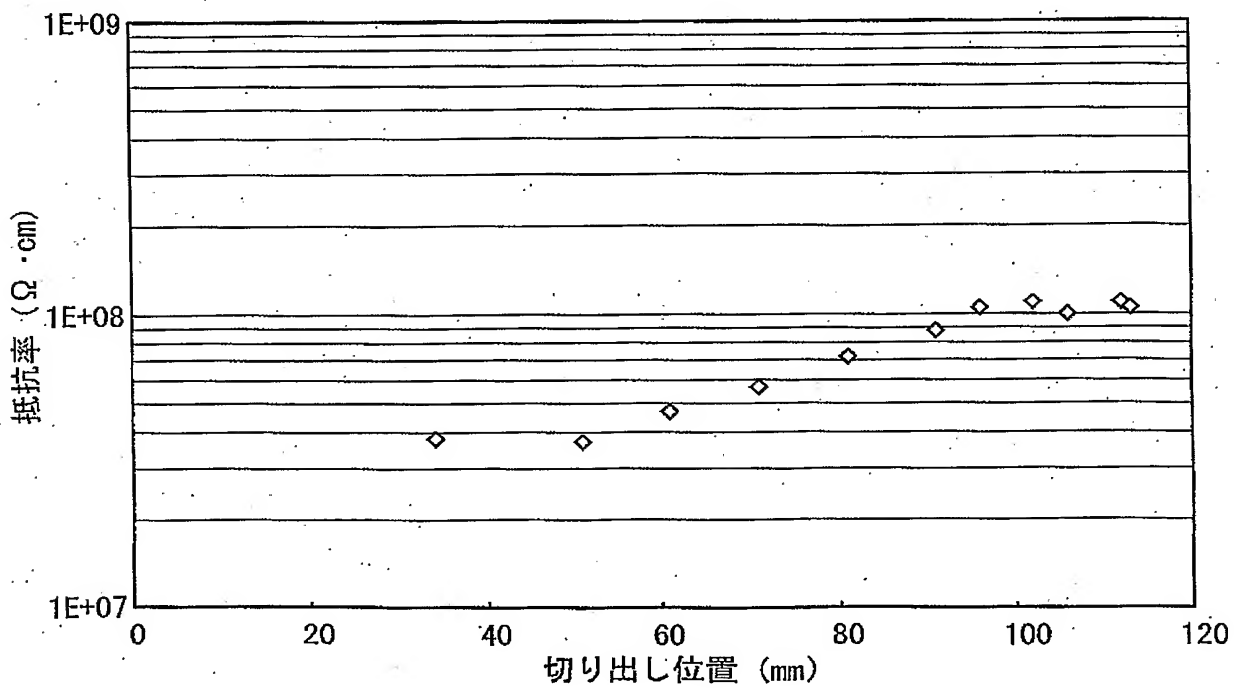
【図6】 InAlAs層のSiドーピング効率の温度依存性を示すグラフである。

【書類名】 図面

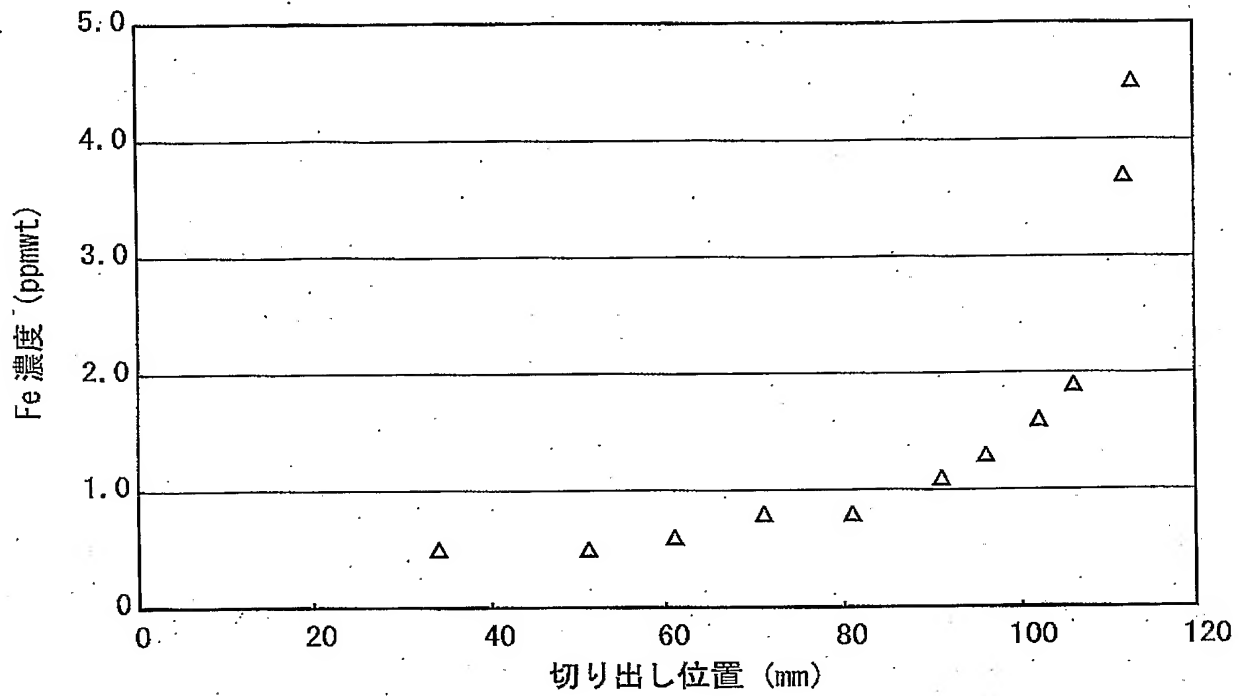
【図 1】



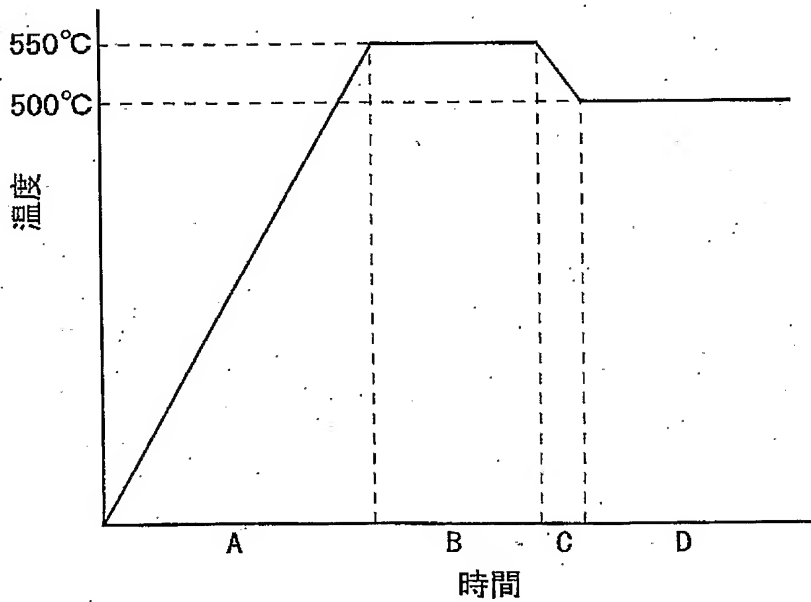
【図 2】



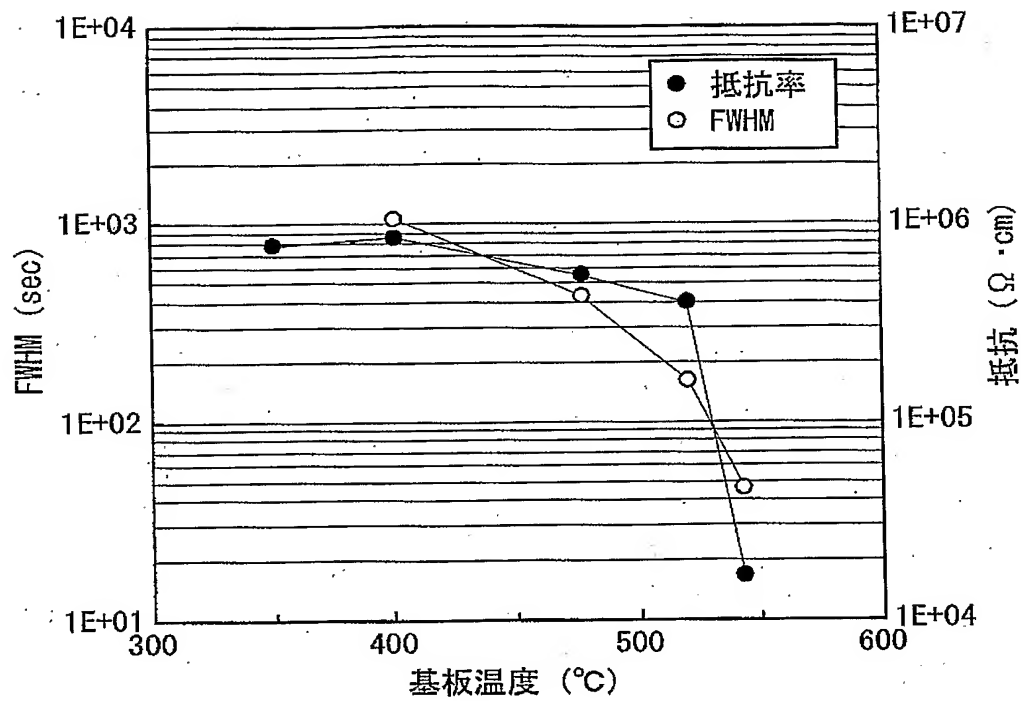
【図 3】



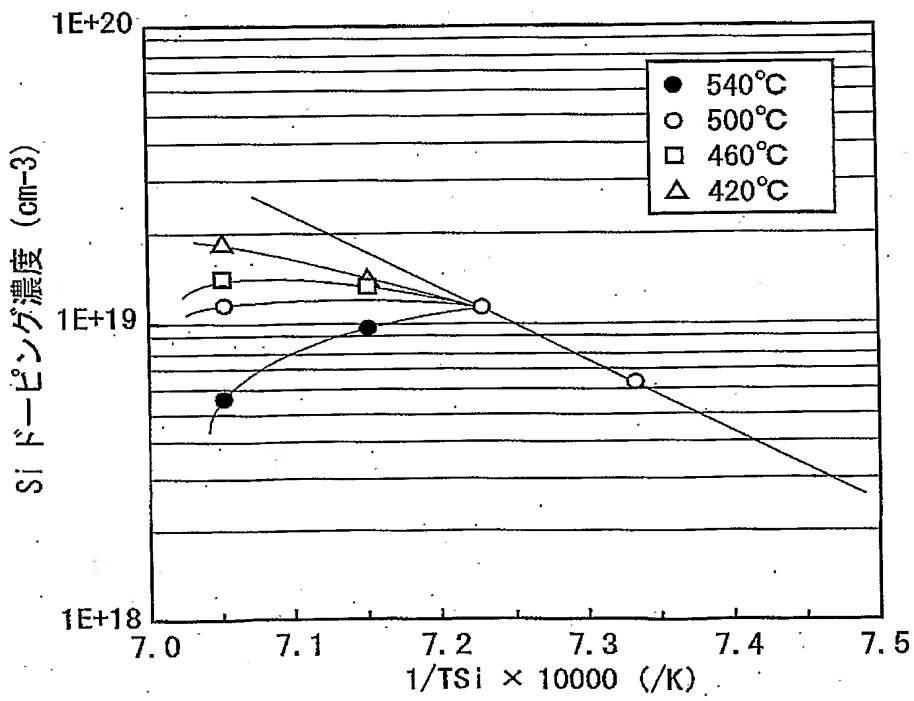
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 FeドープInP等の半導体基板上にInAlAs等の化合物半導体からなるエピタキシャル層を再現性よく成長させることのできる気相成長方法を提供する。

【解決手段】 半導体基板上にエピタキシャル層を成長させる気相成長方法において、予め室温における半導体基板の抵抗率を測定し、該半導体基板の抵抗率に関わらず実際の基板の表面温度が所望の温度となるように、前記室温における抵抗率に応じて基板の設定温度を制御し、エピタキシャル層を成長させるようにした。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 4 - 0 3 9 1 7 7
受付番号	5 0 4 0 0 2 4 9 7 1 8
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 6 年 2 月 1 8 日

< 認定情報・付加情報 >

【提出日】 平成16年 2月17日

特願 2 0 0 4 - 0 3 9 1 7 7

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 0 7 8 6 0]

1. 変更年月日
[変更理由]
住 所
氏 名

1 9 9 9 年 8 月 2 日
名称変更
東京都港区虎ノ門2丁目10番1号
株式会社日鉱マテリアルズ